

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Sunji ICHIKAWA :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed January 26, 2004 : Attorney Docket No. 2004-0095A

LEAD FRAME, MANUFACTURING  
METHOD OF THE SAME, AND  
SEMICONDUCTOR DEVICE USING THE  
SAME

---

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

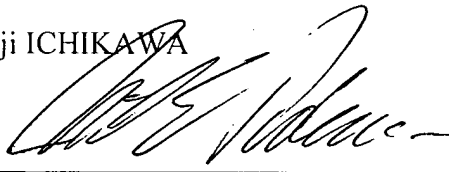
Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 314581/2003, filed September 5, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Sunji ICHIKAWA

By



Nils E. Pedersen  
Registration No. 33,145  
Attorney for Applicant

NEP/krq  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
January 26, 2004

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE THE FEE FOR THE  
FILING OF THIS APPLICATION TO DEPOSIT  
ACCOUNT NO. 20-0375

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    9 月    5 日  
Date of Application:

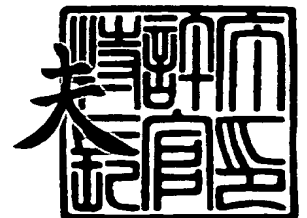
出 願 番 号                      特 願 2 0 0 3 - 3 1 4 5 8 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 1 4 5 8 1 ]

出      願      人                      沖電気工業株式会社  
Applicant(s):

2 0 0 3 年 1 2 月    5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 OH003849  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/60  
H01L 23/495

【発明者】  
【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内  
【氏名】 市川 俊治

【特許出願人】  
【識別番号】 000000295  
【氏名又は名称】 沖電気工業株式会社

【代理人】  
【識別番号】 100085419  
【弁理士】  
【氏名又は名称】 大垣 孝

【手数料の表示】  
【予納台帳番号】 012715  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9001068

**【書類名】 特許請求の範囲****【請求項 1】**

複数のリードを平行に配列して備え、  
該リードの各々はインナーリード部とアウターリード部とに 2 区分されて構成され、  
前記インナーリード部は、ファインインナーリード部と該ファインインナーリード部及び前記アウターリード部間を結合する中間インナーリード部とを有し、  
前記中間インナーリード部及び前記アウターリード部は、第 2 の厚みと第 2 の幅を有し、  
前記ファインインナーリード部は、第 1 の厚みを有し、  
前記ファインインナーリード部は、第 1 の幅の先端部と、該先端部の前記第 1 の幅から、前記中間インナーリード部の前記第 2 の幅へと幅が広がる後段部とを有し、  
前記第 1 の厚みは、前記第 2 の厚みよりも薄く、  
前記第 1 の幅は、前記第 2 の幅よりも狭い  
ことを特徴とするリードフレーム。

**【請求項 2】**

請求項 1 記載のリードフレームにおいて、  
予備インナーリード部と予備アウターリード部とに 2 区分されて、それぞれ構成された複数の予備リードを備え、  
該予備リードは、隣接する前記リードの前記中間インナーリード部間の領域に前記リードと離間して平行に配置されており、  
さらに、前記予備リードは、前記リードの前記中間インナーリード部と前記ファインインナーリード部との境界から、前記アウターリード部側の前記領域に、それぞれ配置されている  
ことを特徴とするリードフレーム。

**【請求項 3】**

請求項 1 記載のリードフレームを形成するにあたり、  
導体板を用意する第 1 工程と、  
前記導体板の中心領域にファインインナーリード形成予定領域を設定して、該ファインインナーリード形成予定領域をハーフエッチングして、非エッチング対象の周辺領域よりも、板厚を薄くする第 2 工程と、  
該第 2 工程後に、前記ファインインナーリード形成予定領域に第 1 パターニング処理を施すことにより、ファインインナーリード部を形成する第 3 工程と、  
前記第 2 工程後であって、前記第 3 工程のパターニングとは異なる第 2 パターニング処理を前記周辺領域に施すことにより、中間インナーリード部及びアウターリード部を形成する第 4 工程とを、  
含むことを特徴とするリードフレームの製造方法。

**【請求項 4】**

請求項 3 記載のリードフレームの製造方法において、  
前記第 4 工程の第 2 パターニング処理を金型加工とすることを特徴とするリードフレームの製造方法。

**【請求項 5】**

第 1 半導体素子の電極が、該電極上に形成されたバンプにより、請求項 1 記載のリードフレームのファインインナーリード部に、フリップチップ接合され、  
前記リードフレームの、前記第 1 半導体素子が搭載されている面とは反対の面に、第 2 半導体素子が、半導体素子用接着剤により接着され、  
前記第 2 半導体素子の前記リードフレームと接着される面とは反対の面に備えられた電極に、ワイヤの一端が取り付けられ、  
前記ワイヤの他端が、前記リードフレームの中間インナーリード部に取り付けられ、  
前記リードフレームのインナーリード部と前記第 1 及び第 2 半導体素子を含むように樹脂封止され、

前記リードフレームの OUTER リード部が樹脂封止された部分から露出していることを特徴とする半導体装置。

【請求項 6】

2 つの第 1 半導体素子が、各々の前記第 1 半導体素子上に設けられた電極と、前記電極上に形成されたバンプにより、異方性導電シートを介して請求項 1 記載のリードフレームのファインインナーリード部の表側と裏側にそれぞれ接続され、

前記第 1 半導体素子と、前記リードフレームのインナーリード部との間の空間は、エポキシ樹脂により埋め込まれ、

前記第 1 半導体素子の前記リードフレームと接続される面とは反対の面に、半導体素子用接着剤により 2 つの第 2 半導体素子がそれぞれ接着され、

前記第 2 半導体素子の第 1 半導体素子と接着される面とは反対の面に備えられた電極に、ワイヤの一端が取り付けられ、

前記ワイヤの他端が、前記リードフレームの中間インナーリード部に取り付けられ、

前記リードフレームの前記インナーリード部と 2 組の前記第 1 及び第 2 半導体素子を含むように樹脂封止され、

前記リードフレームの OUTER リード部が樹脂封止された部分から露出していることを特徴とする半導体装置。

**【書類名】明細書**

**【発明の名称】** リードフレーム、リードフレームの製造方法、及びこのリードフレームを用いた半導体装置

**【技術分野】****【0001】**

この発明は、リードフレーム、リードフレームの製造方法、及びこのリードフレームを用いてパッケージングされた半導体装置に関するものである。

**【背景技術】****【0002】**

半導体集積回路の技術が発達し、特に多ピン化による高密度実装の要求が高まっている。この要求を受けて、半導体装置の様々なパッケージ形態が開発されてきている。

**【0003】**

半導体装置のパッケージ形態の一つにリードフレームタイプの樹脂封止パッケージがある。樹脂封止パッケージは、材料が安価で、リードフレームが大量生産に適した形状であり、広く普及している。

**【0004】**

リードフレームタイプのパッケージでは、半導体素子とリードフレームのインナーリード部とは、金属ワイヤを介して、接続されるのが一般的である（例えば、特許文献1参照）。

**【0005】**

図11を参照して、リードフレームタイプの樹脂封止パッケージ142で封止された従来の半導体装置の構成例を説明する。この樹脂封止パッケージ142内には、2つの半導体素子143a及び143bが搭載される。ダイステージ144の上面に、半導体素子用接着剤145により、一方の半導体素子143aが取り付けられる。半導体素子143aの上面が、回路形成面であり、回路形成面上のボンディング電極150に金属ワイヤ149の一端が取り付けられる。さらに、金属ワイヤ149の他端は、リードフレーム148のインナーリード部に接続される。

**【0006】**

他方の半導体素子143bは、その上面が、回路形成面であり、回路形成面上の bumps 152にタブリード146の一端が取り付けられる。さらに、タブリード146の他端は、リードフレーム148のインナーリード部に接続される。タブリード146が取り付けられた半導体素子143bは、絶縁材147を介してダイステージ144の下面に配設される。

**【0007】**

半導体素子とリードフレームのインナーリード部との接続に金属ワイヤを用いた場合、パッケージ製作時の振動等でワイヤの切断等が生じる可能性がある。しかし、半導体チップとインナーリード部をフリップチップ結合すれば、金属ワイヤやタブリードが不要となるため、金属ワイヤの切断等の可能性も無くなり、さらに、構成部品も減らすことができる。

**【特許文献1】** 特開平7-30051号公報（請求項1及び図1）

**【発明の開示】****【発明が解決しようとする課題】****【0008】**

しかしながら、半導体素子上のボンディング電極は、通常は、約80～200 $\mu$ mのピッチで配列されているのに対し、リードフレームのインナーリード部の配列ピッチは、通常は、概ね180 $\mu$ m以上である。この配列ピッチの相違のため、配列ピッチが180 $\mu$ m以下のボンディング電極を有する半導体素子は、フリップチップ結合では、搭載できなかった。このインナーリード部の配列ピッチの限界は、リードフレーム厚で規定され、一方、このリードフレーム厚は、エッチング又は金型加工の加工限界に依存する。

**【0009】**

この発明は、上記の問題点に鑑みてなされたものであり、この発明の目的は、リードフレームのインナーリード部のピッチを小さくすることで、従来、フリップチップ結合では搭載できなかった半導体素子を搭載できるようにしたリードフレーム、リードフレームの製造方法、及びこのリードフレームを用いた半導体装置を提供することにある。

【課題を解決するための手段】

【0010】

上述したこの発明の目的の達成を図るため、この発明のリードフレームは、下記の構成を有している。このリードフレームは、複数のリードを平行に配列して備えている。複数のリードの各々はインナーリード部とアウターリード部とに2区分されて構成されている。インナーリード部は、ファインインナーリード部と、ファインインナーリード部及びアウターリード部間を結合する中間インナーリード部とを有している。中間インナーリード部及びアウターリード部は、第2の厚みと第2の幅を有している。ファインインナーリード部は、第1の厚みを有している。さらに、ファインインナーリード部は、先端部と後段部とを有していて、この先端部は、第1の幅を有し、及びこの後段部は、先端部の第1の幅から、中間インナーリード部の第2の幅へと広がる幅を有している。さらに、第1の厚みは、第2の厚みよりも薄く、及び、第1の幅は、第2の幅よりも狭くなっている。

【0011】

また、このリードフレームの製造方法は、下記の4つの工程を含んでいる。第1工程では、導体板を用意する。第2工程では、導体板の中心領域にファインインナーリード形成予定領域を設定して、ファインインナーリード形成予定領域をハーフエッチングして、非エッチング対象の周辺領域よりも、板厚を薄くする。第3工程では、ファインインナーリード形成予定領域に第1パターニング処理を施すことにより、ファインインナーリード部を形成する。第4工程では、周辺領域に第2パターニング処理を施すことにより、中間インナーリード部及びアウターリード部を形成する。この場合、第3工程と第4工程は、第2工程後に行い、しかも、第1パターニング処理と第2パターニング処理とは、異なるパターニング処理として行う。

【0012】

上述した製造方法の実施にあたり、好ましくは、中間インナーリード部及びアウターリード部を形成する第2パターニング処理を、周辺領域を金型加工することで行っても良い。

【0013】

また、第3工程と第4工程の工程順序は、設計に応じて、いずれを先に行ってもよい。

【0014】

この発明の半導体装置は、上述のリードフレームと第1及び第2半導体素子とを含んで構成されている。第1半導体素子の電極が、電極上に形成されたバンプにより、リードフレームのファインインナーリード部に、フリップチップ接合されている。リードフレームの、第1半導体素子が搭載されている面とは反対の面に、第2半導体素子が、半導体素子用接着剤により接着されている。第2半導体素子のリードフレームと接着される面とは反対の面に備えられた電極に、ワイヤの一端が取り付けられている。ワイヤの他端は、リードフレームの中間インナーリード部に取り付けられている。リードフレームのインナーリード部と第1及び第2半導体素子を含むように樹脂封止されている。リードフレームのアウターリード部が樹脂封止された部分から露出している。

【0015】

また、この発明のリードフレームの好適実施例によれば、上述した本来のリードに加えて、予備インナーリード部と予備アウターリード部とに2区分されてそれぞれ構成された複数の予備リードを備えている。予備リードは、隣接するリードの中間インナーリード部間の領域にリードと離間して平行に配置されている。さらに、予備リードは、リードの中間インナーリード部とファインインナーリード部との境界から、アウターリード部側の領域に、それぞれ配置されている。

【0016】

この発明の半導体装置の他の実施例によれば、半導体装置は、リードフレームのインナーリード部と2組の第1及び第2半導体素子を含むように構成される。2つの第1半導体素子が、第1半導体素子上に設けられた電極と、電極上に形成されたバンプにより、異方性導電シートを介してリードフレームのファインインナーリード部の表側と裏側にそれぞれ接続される。第1半導体素子のリードフレームと接続される面とは反対の面に、半導体素子用接着剤により2つの第2半導体素子がそれぞれ接着されている。第2半導体素子の第1半導体素子と接着される面とは反対の面に備えられた電極に、ワイヤの一端が取り付けられている。ワイヤの他端が、リードフレームの中間インナーリード部に取り付けられている。リードフレームのインナーリード部と2組の第1及び第2半導体素子を含むように樹脂封止される。リードフレームのアウトーリード部が樹脂封止された部分から露出している。

【発明の効果】

【0017】

この発明のリードフレームによれば、リードフレームのインナーリード部の先端部の幅を中間インナーリード部の幅よりも狭くしてあるので、インナーリード部の先端部の配列ピッチも小さく、よって、フリップチップ結合であっても、半導体素子を搭載できるようになる。

【0018】

この発明のリードフレームの製造方法によれば、ファインインナーリード形成予定領域をハーフエッチングし、非エッチング対象の周辺領域よりも板厚を薄く形成した後、ファインインナーリード形成予定領域と周辺領域を異なるパターニング処理で形成するので、インナーリード部のファインインナーリード部の先端部を従来のインナーリード部より幅狭に形成でき、従ってファインインナーリード部の配列ピッチを小さくすることが可能となる。

【0019】

この発明のリードフレームの製造方法で、第2パターニング処理を金型加工とすると、金型加工は、物理的なパターニングであるので、化学的なパターニングよりも簡単にパターニングが可能となる。

【0020】

この発明の半導体装置によれば、リードフレームのファインインナーリード部の幅を従来のリードフレームよりも狭く形成してあるので、ファインインナーリード部の配列ピッチを従来のリードフレームの配列ピッチよりも小さくできる。従って、フリップチップ結合により、ワイヤ等の部品点数を減らすことができる。さらに第1半導体素子の搭載にワイヤを用いないため、従来、半導体装置組み立て時の振動等で、発生の恐れがあった当該ワイヤの切断という現象が生ずる恐れはない。

【0021】

この発明の、予備インナーリード部と予備アウトーリード部とに2区分されてそれぞれ構成された複数の予備リードを備えたリードフレームによれば、第1半導体素子の電極と、フリップチップ結合で接続されているリードとは異なるリードに、第2半導体素子の電極を接続することが可能となる。また、第1半導体素子と第2半導体素子の電極の個数又は電極の配置が異なる場合でも一つのリードフレームに搭載可能となる。

【0022】

2つの第1半導体素子を、異方性導電シートを介してリードフレームのファインインナーリード部の表裏に搭載し、さらに、リードフレームと接続される面とは反対の面に、半導体素子用接着剤により2つの第2の半導体素子をそれぞれ搭載することで、半導体装置1個で、2個分の特性を発揮できる。

【発明を実施するための最良の形態】

【0023】

以下、図を参照して、この発明の実施の形態について説明するが、構成および配置関係についてはこの発明が理解できる程度に概略的に示したものに過ぎない。また、以下、こ



の発明の好適な構成例につき説明するが、各構成の組成（材質）および数値的条件などは、単なる好適例にすぎず、従って、この発明は以下の実施の形態に限定されない。

【0024】

尚、この発明の半導体装置の構成例を説明するための概略図を、断面の切り口で示す場合、断面を示すハッチングなどは、一部分省略してある。

【0025】

（リードフレームの製造方法）

図1から図4を参照して、この発明のリードフレームの製造方法につき説明する。尚、以下の説明においては、1つのリードフレームに着目して説明する。

【0026】

第1工程として、導体板10を用意する。導体板10の材質は、例えば、銅などの導体とする。また、この導体板10の板厚は例えば200  $\mu$ m程度とする（図1参照）。

【0027】

第2工程では、導体板10の中心領域にファインインナーリード形成予定領域14を設定する。ファインインナーリード形成予定領域14をエッチング対象の領域とし、このファインインナーリード形成予定領域14の周辺領域15を非エッチング対象の領域とする。次に、エッチング対象領域であるファインインナーリード形成予定領域14に開口部を有し、かつ非エッチング対象領域である周辺領域15を覆うレジストパターンを形成する。このファインインナーリード形成予定領域14に対してハーフエッチングを行って周辺領域15よりも、板厚を薄くする。ハーフエッチングは好ましくは、化学的エッチングで行うのが良い（図2参照）。

【0028】

このとき、ファインインナーリード形成予定領域14の板厚は100  $\mu$ m程度であり、また、周辺領域15の板厚は200  $\mu$ m程度のまま残存する。尚、ここで説明する構成例では、エッチング対象領域14の平面的形状を四角としてある。また、このファインインナーリード形成予定領域14の大きさは、リードフレーム上に搭載する半導体素子に設けられた電極であるボンディング電極の配置によって決まる。

【0029】

第3工程では、肉薄にされているファインインナーリード形成予定領域14を第1パターンニング処理によりパターンニングし、ファインインナーリード部22を形成する（図3参照）。

【0030】

このパターンニングに際し、先ず、ファインインナーリード形成予定領域14のうちファインインナーリード部を形成すべき領域と上述の周辺領域15とを覆うレジストパターンを設ける。次に、ファインインナーリード形成予定領域14のうち、レジストパターンから露出している部分に対して、好ましくは、化学的エッチングを行って、当該部分をエッチング除去してこのパターンニングを完了する。

【0031】

従って、ファインインナーリード形成予定領域14に設けるレジストパターンを、半導体素子のボンディング電極のピッチに合うように決めて設ければ、エッチング除去後に得られるファインインナーリード部22の配列ピッチは、上述の電極の配列ピッチで形成される。ファインインナーリード部22の厚みを薄くすることで、ファインインナーリード部22の幅を狭く形成することができるので、ファインインナーリード部22の配列ピッチを小さくすることが可能となる。

【0032】

第4工程では、第2工程のハーフエッチングにおいて非エッチング対象であった周辺領域15を第2パターンニング処理によりパターンニングして、中間インナーリード部23及びアウターリード部25を形成する（図4参照）。

【0033】

この場合には、先ず、形成されたファインインナーリード部22と、中間インナーリー

ド部 23 及びアウターリード部 25 を形成すべき領域と、これらリードフレームを支持する支持枠部 19 とを覆い、かつ、残りの周辺領域 15 を露出させるレジストパターンを設ける。次に、露出した周辺領域 15 に対し、好ましくは、化学的エッチングを行って、エッチング除去する。その結果、支持枠部 19 (フレームとも称する。) に支持されたリードフレーム 20 が形成される。

#### 【0034】

なお、導体板の材質が銅である場合、第 2 工程のハーフエッチングと、第 3 工程及び第 4 工程のパターニングは、好ましくは、塩化鉄をエッチング剤として使用する化学的エッチングで行うのが良い。

#### 【0035】

また、第 4 工程の中間インナーリード部 23 及びアウターリード部 25 の形成では、リードフレームのピッチが  $180\mu\text{m}$  以上でも良いので、第 2 パターニング処理として、従来技術の金型加工により形成しても良い。

#### 【0036】

金型加工は、物理的なパターニングであるので、化学的なパターニングよりも簡単にパターニングが可能となる。

#### 【0037】

また、第 3 工程と第 4 工程の工程順序は、設計に応じて、いずれを先に行ってもよい。

#### 【0038】

従来、 $180\mu\text{m}$  程度の配列ピッチのリードフレームが製造されているので、ファインインナーリード形成予定領域 14 の板厚を、非エッチング対象の周辺領域 15 の半分程度にすれば、ファインインナーリード部の配列ピッチは、概ね  $80\mu\text{m}$  まで実現可能であり、この場合、ボンディング電極の配列ピッチが  $80\mu\text{m}$  程度である半導体素子がフリップチップ結合で搭載可能となる。

#### 【0039】

支持枠部 19 に支持された、リードフレーム 20 が形成された後、ファインインナーリード部 22 及び中間インナーリード部 23 で構成されるインナーリード部 21 に半導体素子等パッケージに必要なものを搭載する。その後、インナーリード部 21 及び各素子を含むようにモールド、すなわち樹脂封止し、その後、リードフレーム 20 を支持枠部 19 から切断し、樹脂封止パッケージとする。

#### 【0040】

(リードフレームの説明)

##### 第 1 実施形態

図 4 (B) 及び図 5 (B) を参照して、上述の方法で製造したリードフレームの構造を説明する。このリードフレームは、半導体装置のパッケージ形態の一つである、リードフレームタイプの樹脂封止 (モールド) パッケージで利用される。

#### 【0041】

このリードフレーム 20 は、複数のリード 27 を実質的に平行に配列して備えている。これらリード 27 は、インナーリード部 21 とアウターリード部 25 とに 2 区分されて構成される。リードフレーム 20 の、パッケージ内に含まれる部分がインナーリード部 21 であり、パッケージの外側に露出している部分がアウターリード部 25 である。

#### 【0042】

インナーリード部 21 は、ファインインナーリード部 22 と、ファインインナーリード部 22 及びアウターリード部 25 間を結合する中間インナーリード部 23 とを有する。ファインインナーリード部 22 は、中間インナーリード部 23 及びアウターリード部 25 を介して、外部の接続先と導通自在である。

#### 【0043】

中間インナーリード部 23 及びアウターリード部 25 は、第 2 の厚み  $t_2$  と第 2 の幅  $w_2$  を有する。

#### 【0044】

ファインインナーリード部 22 は、第 1 の厚み  $t_1$  を有している。第 1 の厚み  $t_1$  は、第 2 の厚み  $t_2$  よりも薄い。ファインインナーリード部 22 は、先端部 22 a と、この先端部に連続する後段部 22 b とを有している。ファインインナーリード部 22 の先端部 22 a は、第 1 の幅  $w_1$  を有している。第 1 の幅  $w_1$  は、第 2 の幅  $w_2$  よりも狭くなっている。ファインインナーリード部 22 の後段部 22 b は、好ましくは、先端部の第 1 の幅  $w_1$  から、中間インナーリード部の第 2 の幅  $w_2$  へと幅が広がるのが良い。図中で、ファインインナーリード部の先端部 22 a と後段部 22 b との境界は  $L_1$  で示され、ファインインナーリード部 22 と中間インナーリード部 23 との境界は  $L_2$  で示され、及び、中間インナーリード部 23 とアウターリード部 25 との境界は  $L_3$  で示されている。

#### 【0045】

複数のリード 27 を平行に配置させたとき、インナーリード部 21 の配列ピッチは、通常は、インナーリード部 21 の幅の 2 倍程度である。今、ファインインナーリード部 22 の先端部 22 a の配列ピッチを第 1 のピッチ  $d_1$  とし、及び、中間インナーリード部 23 の配列ピッチを第 2 のピッチ  $d_2$  とする。この場合、第 2 のピッチ  $d_2$  が、概ね  $180\mu\text{m}$  以上であるのに対し、第 1 のピッチ  $d_1$  は、 $80\mu\text{m}$  程度である。なお、一般に用いられている半導体素子の電極ピッチが、概ね  $80\sim 200\mu\text{m}$  であるため、上述した例では、ファインインナーリード部 22 の先端部 22 a の第 1 ピッチ  $d_1$  は、 $80\mu\text{m}$  程度としているが、先端部 22 a の厚みに従って、第 1 の幅  $w_1$  をより狭くすることによって、この第 1 のピッチ  $d_1$  を  $80\mu\text{m}$  以下に設定することも可能である。

#### 【0046】

上述の説明において、ファインインナーリード部 22 の後段部 22 b は、中間インナーリード部 23 側から先端部 22 a へと先細となる幅を有している例につき説明したが、後段部 22 b の幅を先端部 22 a の幅と同一の一定幅としても良い。

#### 【0047】

##### 第 2 実施形態

図 6 を参照して、第 2 実施形態でのリードフレーム 20 a の構造につき説明する。この第 2 実施形態のリードフレームの第 1 実施形態との構成上の相違点は、予備リード 28 a を追加して備える構造とした点である。

#### 【0048】

この予備リード 28 a は互いに隣接して平行に配列されている本来のリード 27 の中間インナーリード部 23 間の領域に、本来のリード 27 とは離間して平行に配置されている。また、この予備リード 28 a は、本来のリード 27 の中間インナーリード部 23 とファインインナーリード部 22 との境界からアウターリード部 25 側の領域中のいずれかの位置に前段縁を位置決めしてアウターリード部側へと延在して設けられている。

#### 【0049】

この予備リード 28 a は、予備インナーリード部 24 a と、予備アウターリード部 26 a とに 2 区分されて構成されている。従って、この予備リード 28 a は、上述の本来のリード 27 のファインインナーリード部 22 に対応する部分が形成されていない。

#### 【0050】

図 6 に示すように、リードフレームに第 2 半導体素子 51 を搭載したときの最大占有領域 52 a を点線で示している。上述した予備リード 28 a は、パッケージの内側であるが、占有領域 52 a の外側の領域に予備インナーリード部 24 a が配設されるように、形成されている。また、この予備リード 28 a は、上述した本来のリード 27 と同時に形成すれば良い。また、この予備リード 28 a は、2 つの本来のリード 27 間に、必要に応じて及び必要な本数だけ設ければよい。

#### 【0051】

このような予備リードを設けたリードフレーム構成とすることにより、第 1 半導体素子のボンディング電極とフリップチップ結合で接続されているリードとは異なるリードに、第 2 半導体素子のボンディング電極を接続することが可能となる。また、第 1 半導体素子と第 2 半導体素子のボンディング電極の個数又は配置が異なる場合でも一つのリードフレ

ームに搭載可能となる。

#### 【0052】

##### 第3実施形態

次に、図7を参照して、第3実施形態でのリードフレーム20bの構造について説明する。この第3実施形態のリードフレーム20bの第2実施形態との構成上の相違点は、予備リード28bの構成自体にある。

#### 【0053】

この第3実施形態のリードフレーム20bは、図6と図7とに示す構成例を対比すれば、明らかなように予備インナーリード24bが、第2実施形態の場合よりも長く形成されていて、第2半導体素子51による占有領域52bの内側へ境界L2に達しない程度にまで延在している。従って、この場合には、第2半導体素子の表面側に予備インナーリード部24bの先端部分が、第2半導体素子51上の半導体素子用接着剤によって固定される。予備インナーリード部24bが第2半導体素子51に固定されるため、半導体装置組立時の予備インナーリード部24bの変形を防ぐことができる。

#### 【0054】

(半導体装置の説明)

##### 第1実施形態

図5を参照して、上述のリードフレームを用いた半導体装置の構成について説明する。

#### 【0055】

第1半導体素子31が、リードフレーム20上に搭載されている。第1半導体素子31の一方の面が回路形成面であり、その面上に電極としてボンディング電極33が設けられている。このボンディング電極33上に、バンプとして、はんだバンプ35が形成される。このはんだバンプ35により、リードフレーム20のファインインナーリード部22の特にその先端部22aに、第1半導体素子31のボンディング電極33がフリップチップ接合されている。

#### 【0056】

リードフレーム20の、第1半導体素子31が搭載されている面とは反対の面に、第2半導体素子51が、半導体素子用接着剤37により接着されている。この半導体素子用接着剤はエポキシ樹脂を含んだ絶縁性の接着剤である。

#### 【0057】

第2半導体素子51のリードフレーム20と接着される面とは反対の面が、回路形成面である。回路形成面上のボンディング電極53に、ボンディング用のワイヤとして、金属ワイヤ39の一端がはんだ結合等により、取り付けられている。金属ワイヤ39の他端が、リードフレーム20の中間インナーリード部23に、はんだ結合等により、取り付けられている。

#### 【0058】

リードフレーム20のインナーリード部21と第1及び第2半導体素子31及び51を覆い包むように、樹脂封止がなされている。リードフレーム20のアウトーリード部25が樹脂封止されたパッケージ41から露出している。

#### 【0059】

なお、第1半導体素子31と第2半導体素子51のボンディング電極33及び53の配列が同じであって、かつ、ボンディング電極33及び53の配列ピッチがリードフレーム20のファインインナーリード部22の先端部22aの配列ピッチと一致している場合、第2半導体素子51を第1半導体素子31と同様に、フリップチップ接合によって搭載することも可能である。

#### 【0060】

##### 第2実施形態

図8を参照して、この発明の半導体装置の第2実施形態の構成につき説明する。第1実施形態との相違点は、リードフレーム20のインナーリード部21と第1半導体素子31との間の空間に、絶縁性樹脂として、例えばエポキシ樹脂43が充填されている点である。

**【0061】**

このようなエポキシ樹脂等の絶縁性樹脂層を設けてある理由は次の通りである。リードフレーム20に搭載された半導体素子やボンディング用の金属ワイヤ等を包み込むモールド樹脂を設けるときの、モールド樹脂が、リードフレーム20のインナーリード部21と第1半導体素子31との間の空間に侵入する。この樹脂の侵入時の圧力の作用によって、第1半導体素子31とインナーリード部21との間隔が広がってしまうことがある。これに起因して、はんだバンプにクラックが発生する可能性がある。

**【0062】**

しかし、第2実施形態では、モールド前にエポキシ樹脂43で、第1半導体素子31とインナーリード部21との間の空間に、予め、樹脂層を設けている。このエポキシ樹脂43により、モールド時に、半導体素子31とインナーリード部21との間の空間へのモールド樹脂の侵入を防げるので、はんだバンプ35のクラック発生の可能性も無く、よって、信頼性の高い半導体装置を供給できる。

**【0063】****第3実施形態**

図9を参照して、この発明の半導体装置の第3実施形態の構成を説明する。

**【0064】**

この第3実施形態では、2つの第1半導体素子31a及び31bが、ボンディング電極側を向き合わせられて、リードフレーム20上に搭載されている。2つの第1半導体素子31a及び31bの一方の面が回路形成面であり、その面上に電極としてボンディング電極33が設けられている。このボンディング電極33上に、バンプとしてAuバンプ36が形成されている。ボンディング電極33は、Auバンプ36により異方性導電シート45を介して、リードフレーム20のファインインナーリード部22の表側と裏側にそれぞれ接続される。リードフレーム20のファインインナーリード部22の先端部22aは、導体板の両面側から同じ深さだけエッチング除去して導体板の中心部に肉薄の部分として形成されている。

**【0065】**

ここで、異方性導電シート45は、絶縁性のシート内に、導電体の領域を含む構造を持っている。常態では、異方性導電シート45の任意の2点間は絶縁状態である。ボンディング時の加熱及び加圧により、加熱及び加圧を受けた異方性導電シート45内の導電体の領域が結合する。上述のように、異方性導電シート45は、所定の箇所の、表面と裏面の間を導通状態にし、その他の部分は絶縁状態であるように設定できるシートである。

**【0066】**

既に説明した半導体装置の第2実施形態の場合と同様に、この第3実施形態の場合にも、第1半導体素子31a及び31bと、リードフレーム20のインナーリード部21との間の空間は、エポキシ樹脂43により満たされている。

**【0067】**

第1半導体素子31a及び31bのリードフレーム20と接続される面とは反対の面に、半導体素子用接着剤38により2つの第2半導体素子51a及び51bがそれぞれ接着される。

**【0068】**

第2半導体素子51a及び51bの第1半導体素子31a及び31bと接着される面とは反対の面に備えられたボンディング電極53に、金属ワイヤ39の一端が取り付けられる。金属ワイヤ39の他端は、リードフレーム20の中間インナーリード部23に取り付けられる。金属ワイヤ39のボンディング電極53及び中間インナーリード部23との接続は、はんだ結合等で行われる。

**【0069】**

リードフレーム20のインナーリード部21と2組の第1及び第2半導体素子31a、31b、51a及び51bを覆い包むように樹脂封止（モールド）41が行われている。

リードフレーム 20 のアウターリード部 25 がモールド部 41 から外側へ露出している。

【0070】

このような第3実施形態の構成によれば、第1半導体素子及び第2半導体素子をリードフレームの表裏にそれぞれ一組ずつ搭載してあることで、半導体装置1個で2個分の特性を発揮できるとともに、高密度実装が可能となる。

【0071】

第4実施形態

図10(A)及び(B)を参照して、この発明の半導体装置の、第4実施形態の構成につき説明する。この第4実施形態では、第2半導体素子51a及び51bを固定するために、枠材47が用いられる点が第3実施形態の半導体装置と相違する。ここでは、第4実施形態での枠材47の構造について主に説明する。

【0072】

枠材47の断面は、第2半導体素子と同様の形状及び大きさの長方形から、第1半導体素子と同様の形状及び大きさの長方形の部分を取り除いた、第1半導体素子を囲むような形状である。この枠材47は2つ設けられていて、一方の枠材47aは一方の第2半導体素子51aを固定し、また、他方の枠材47bは、他方の第2半導体素子51bを固定するために用いられている。枠材47の高さは、リードフレーム20の中間インナーリード部23から第2半導体素子51a及び51bまでの距離とほぼ等しくなっている。

【0073】

この枠材47a及び47bの各々は、中間インナーリード部23に第1半導体素子31a及び31bをそれぞれ個別に囲むように、エポキシ樹脂等(図示しない)で取り付けられている。さらに、第2半導体素子51a及び51bが、同じくエポキシ樹脂等(図示しない)で枠材47a及び47bに固定されている。

【0074】

また、枠材47の各側面には、モールド樹脂が注入されるように開口又はスリット48が開いている。

【0075】

第2半導体素子51a及び51bを枠材47で固定するので、第2半導体素子51a及び51bを金属ワイヤ39で接続するとき、第2半導体素子51a及び51bの振動が抑えられるとともに、リードフレームのインナーリード部の振動も抑えられるため、ワイヤの切断等が生じる可能性が減り、信頼性の高い半導体装置を供給できる。

【図面の簡単な説明】

【0076】

【図1】リードフレームの製造工程(第1工程)を説明するための図である。(A)は概略的平面図及び(B)は(A)のA-A線に沿って取った断面の切り口を示す図である。

【図2】リードフレームの製造工程(第2工程)を説明するための図である。(A)は概略的平面図及び(B)は(A)のA-A線に沿って取った断面の切り口を示す図である。

【図3】リードフレームの製造工程(第3工程)を説明するための図である。(A)は概略的平面図及び(B)は(A)のA-A線に沿って取った断面の切り口を示す図である。

【図4】リードフレームの製造工程(第4工程)を説明するための図である。(A)は概略的平面図及び(B)は(A)のA-A線に沿って取った断面の切り口を示す図である。

【図5】半導体装置及び半導体装置に用いるリードフレームを説明するための図である。(A)は半導体装置の第1実施形態を説明するための概略的断面図、及び(B)はリードフレームの第1実施形態を説明するための概略的平面図である。

【図6】この発明のリードフレームの第2実施形態を説明するための概略的平面図である。

【図 7】この発明のリードフレームの第 3 実施形態を説明するための概略的平面図である。

【図 8】この発明の半導体装置の第 2 実施形態の構成を説明するための概略的断面図である。

【図 9】この発明の半導体装置の第 3 実施形態の構成を説明するための概略的断面図である。

【図 1 0】この発明の半導体装置の第 4 実施形態の構成を説明するための図である。

(A) は半導体装置を示す概略的断面図で、及び (B) はこの半導体装置に使用する枠材を概略的に示す平面図、正面図、及び側面図である。

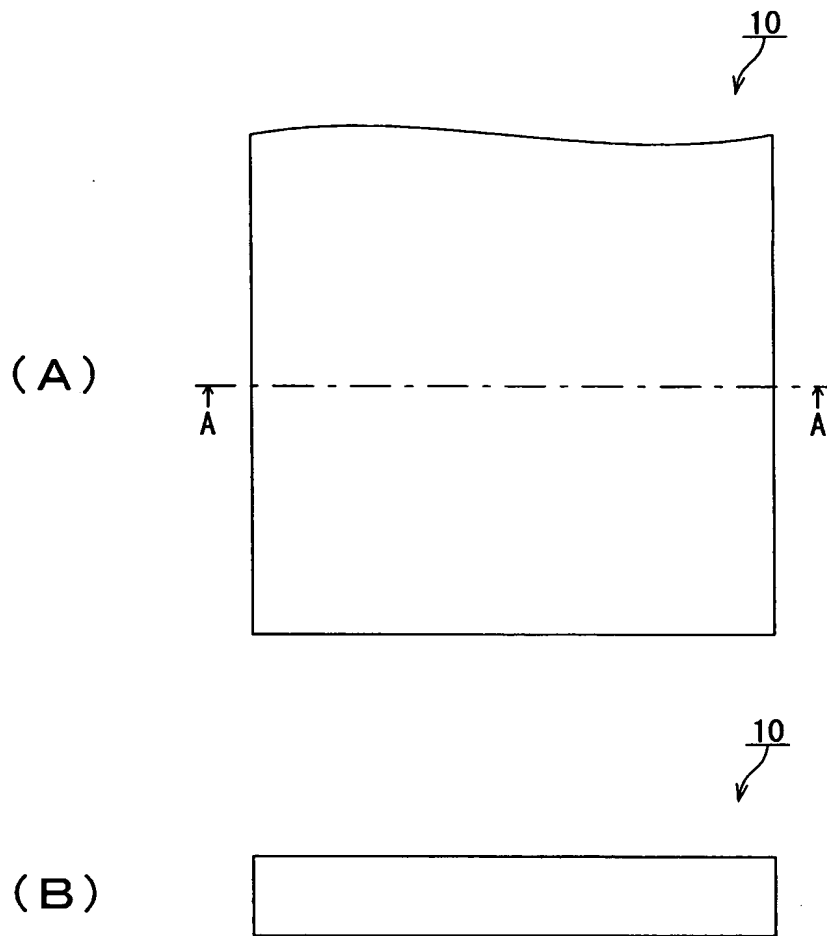
【図 1 1】従来例の半導体装置を説明するための断面図である。

【符号の説明】

【 0 0 7 7 】

- 1 0 導体板
- 1 4 ファインインナーリード形成予定領域
- 1 5 周辺領域
- 1 9 支持枠部
- 2 0、2 0 a、2 0 b リードフレーム
- 2 1 インナーリード部
- 2 2 ファインインナーリード部
- 2 3 中間インナーリード部
- 2 4 a、2 4 b 予備インナーリード部
- 2 5 アウターリード部
- 2 6 a、2 6 b 予備アウターリード部
- 2 7 リード
- 2 8 a、2 8 b 予備リード
- 3 1、3 1 a、3 1 b 第 1 半導体素子
- 3 3 ボンディング電極
- 3 5 はんだバンプ
- 3 6 Au バンプ
- 3 7、3 8 半導体素子用接着剤
- 3 9 金属ワイヤ
- 4 1 モールド樹脂
- 4 3 エポキシ樹脂
- 4 5 異方性導電シート
- 4 7、4 7 a、4 7 b 枠材
- 5 1、5 1 a、5 1 b 第 2 半導体素子
- 5 2 a、5 2 b 占有領域
- 5 3 ボンディング電極
- 1 4 2 樹脂封止パッケージ
- 1 4 3 a、1 4 3 b 半導体素子
- 1 4 4 ダイステージ
- 1 4 5 半導体素子用接着剤
- 1 4 6 タブリード
- 1 4 7 絶縁材
- 1 4 8 リードフレーム
- 1 4 9 金属ワイヤ
- 1 5 0 ボンディング電極
- 1 5 2 バンプ

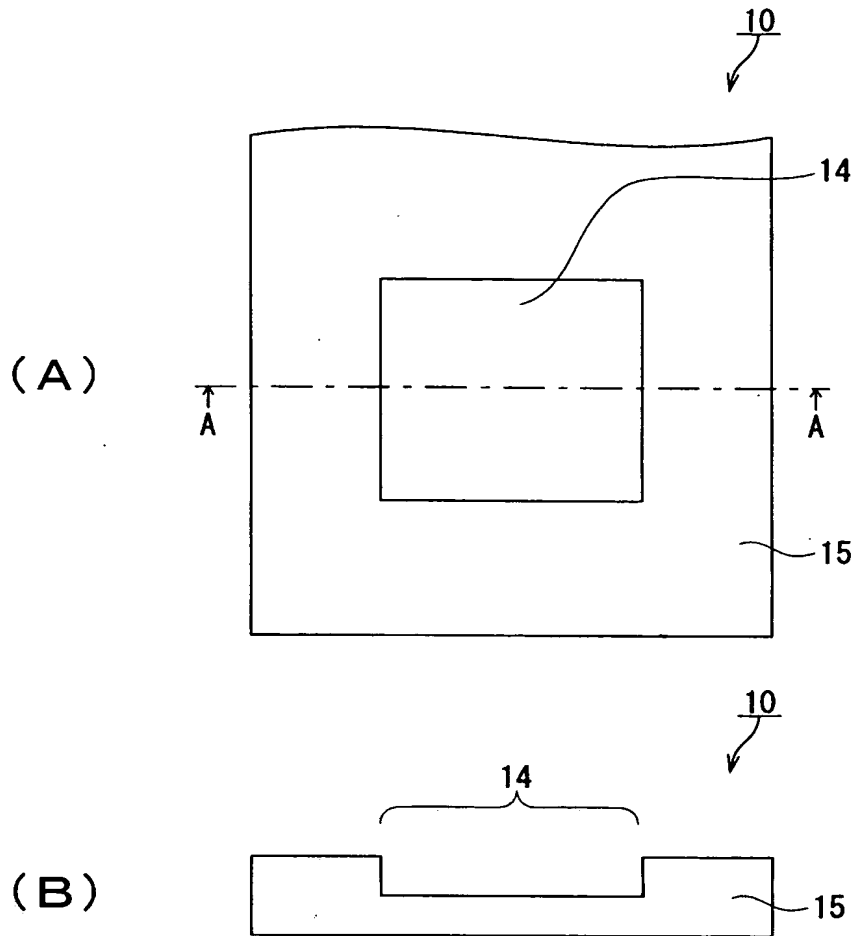
【書類名】 図面  
【図 1】



リードフレームの製造工程(第1工程)

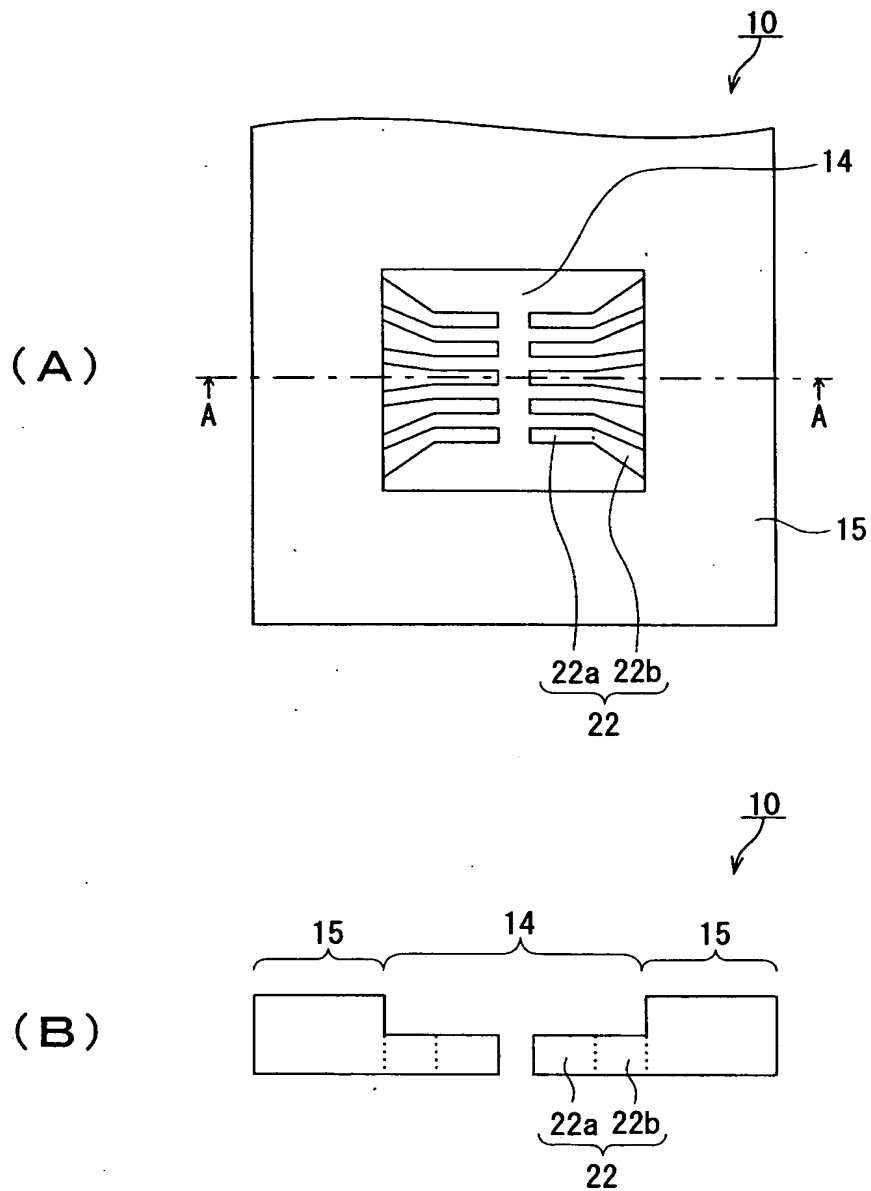


【図 2】



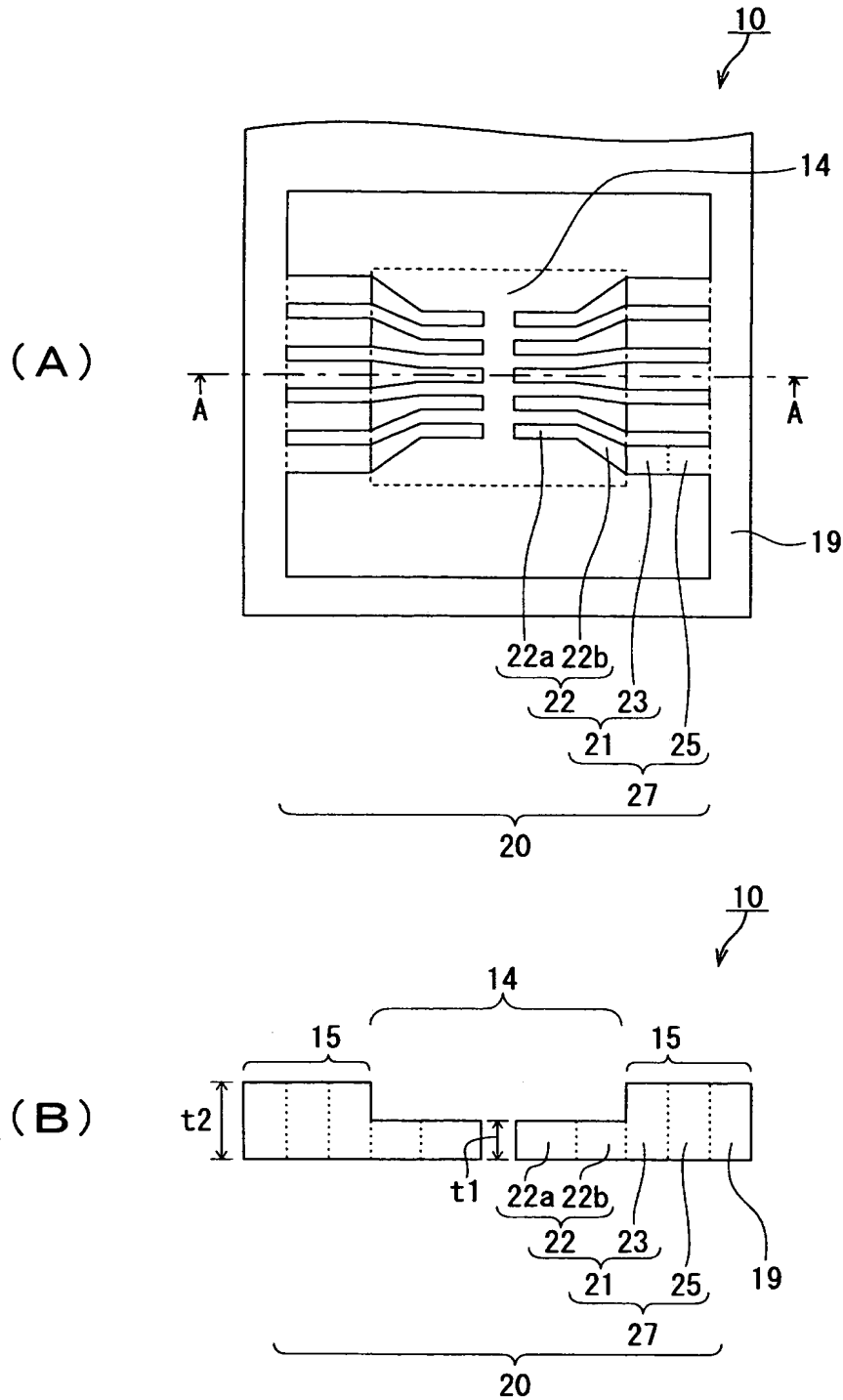
リードフレームの製造工程(第2工程)

【図 3】



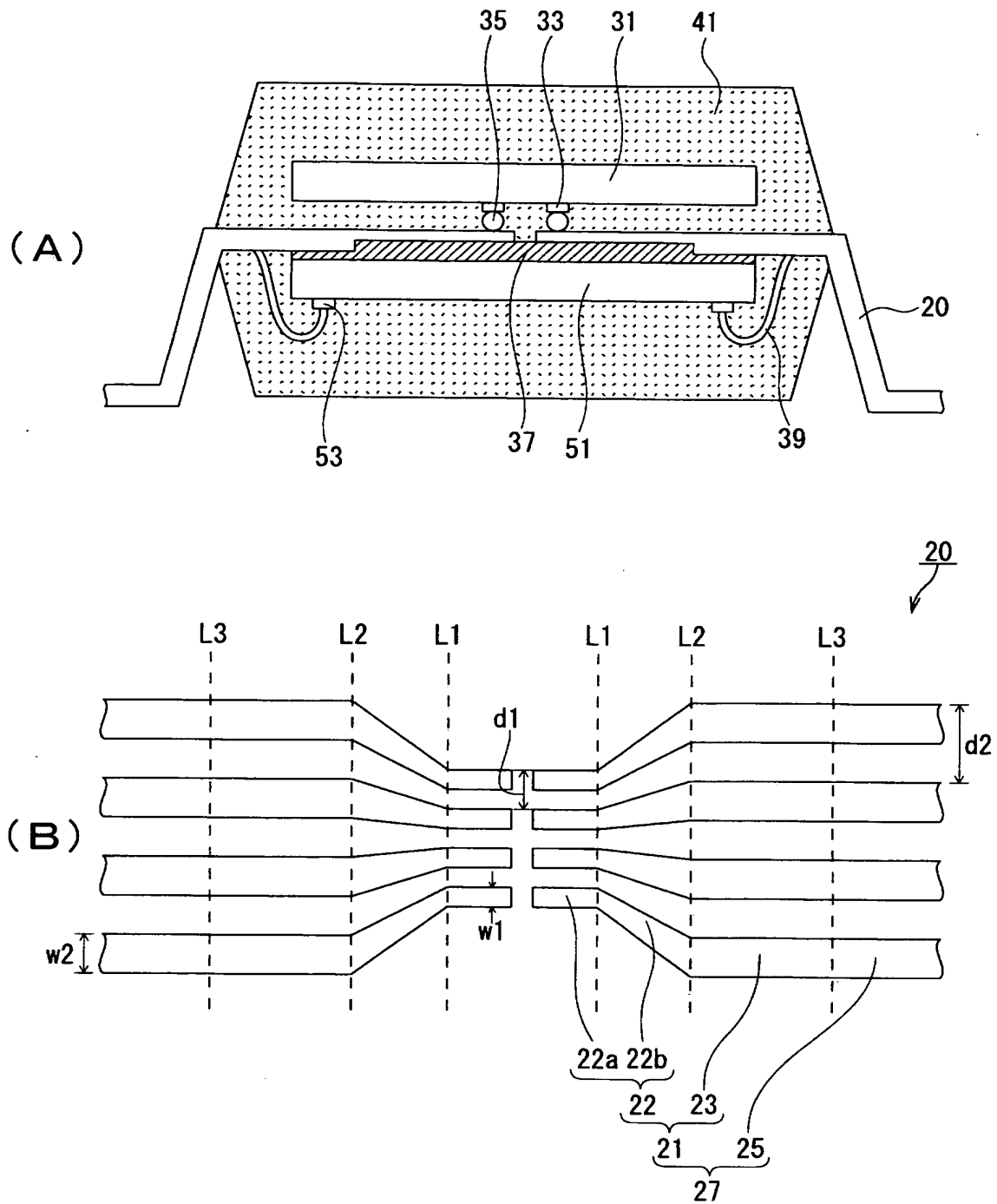
リードフレームの製造工程(第3工程)

【図 4】



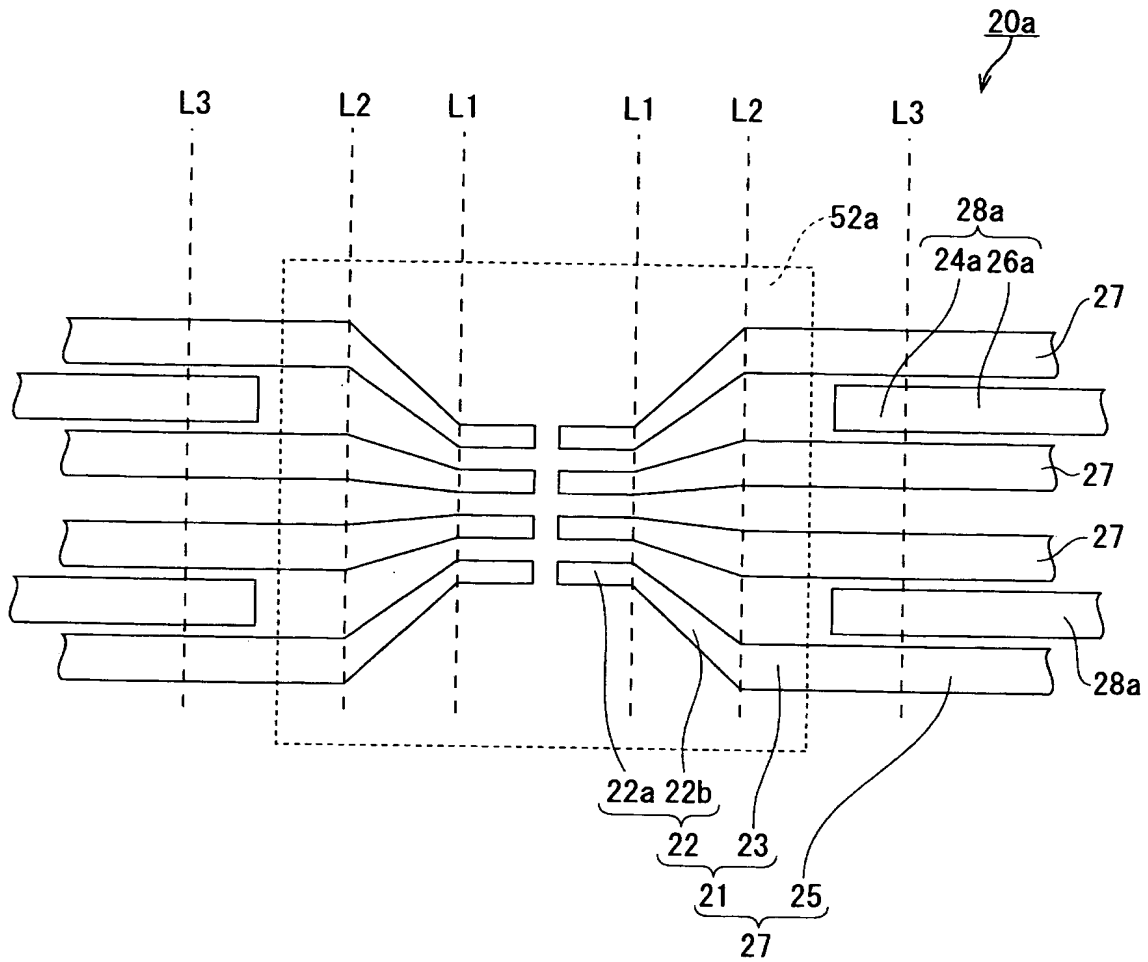
リードフレームの製造工程(第4工程)

【図 5】



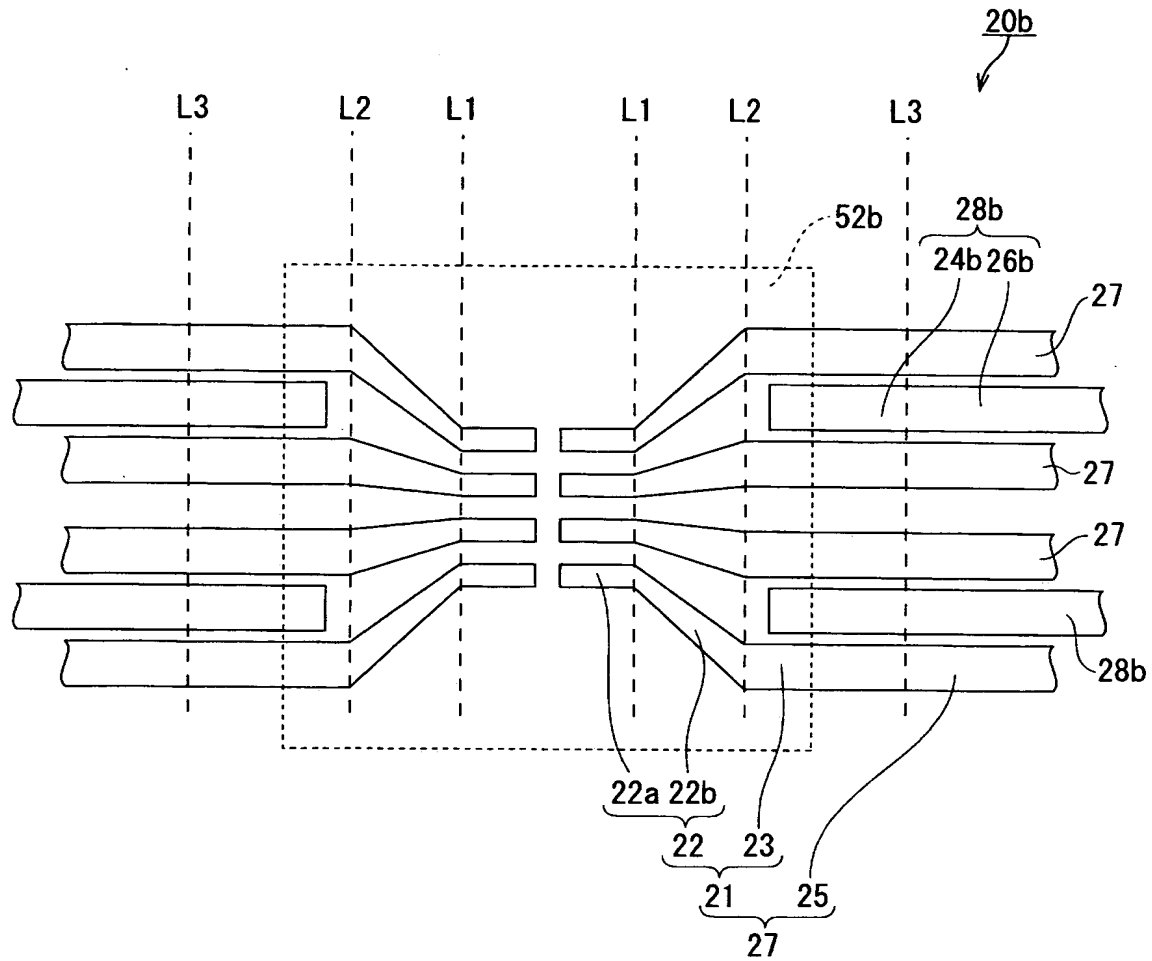
## 半導体装置及びリードフレームの第1実施形態

【図 6】



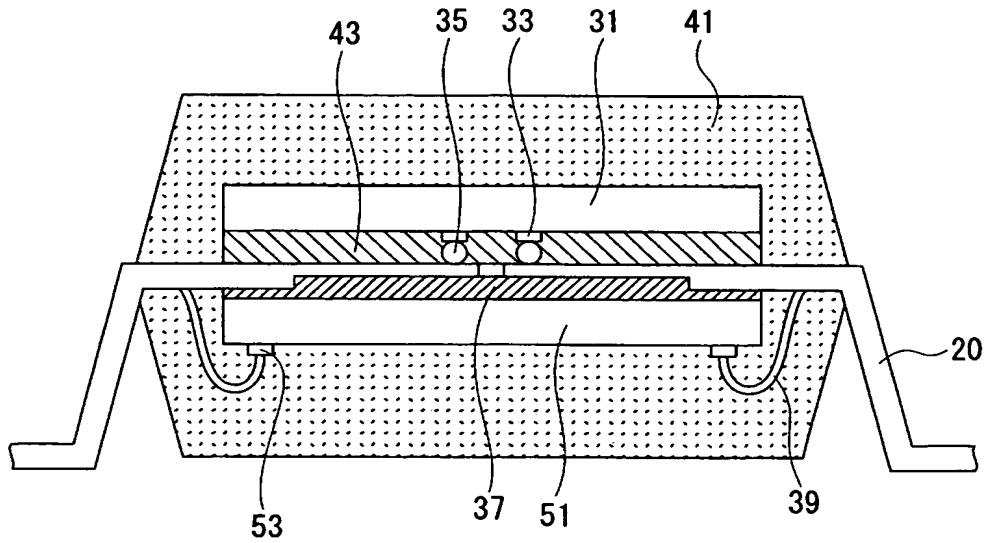
リードフレームの第2実施形態

【図 7】



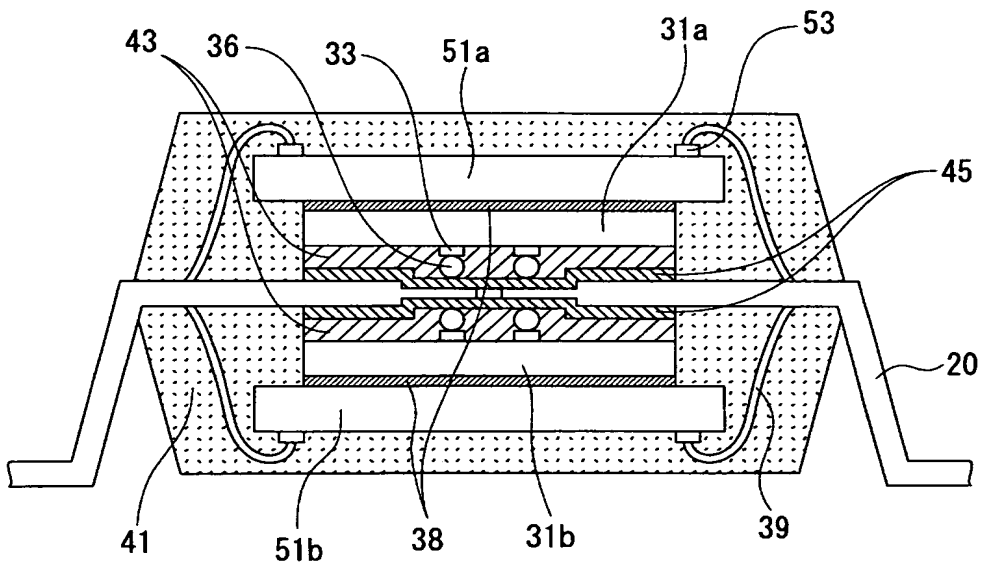
リードフレームの第3実施形態

【図 8】



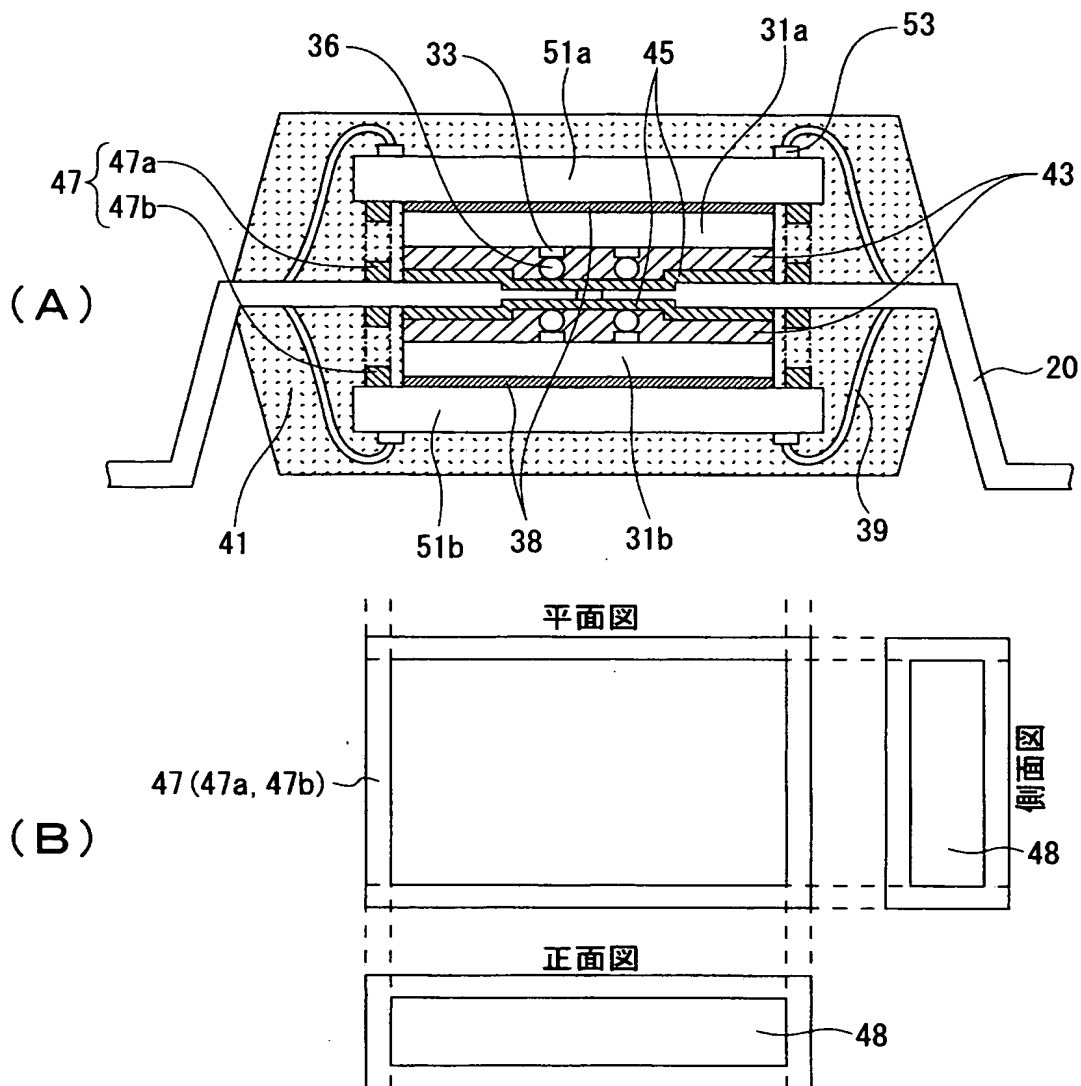
半導体装置の第 2 実施形態

【図 9】



半導体装置の第 3 実施形態

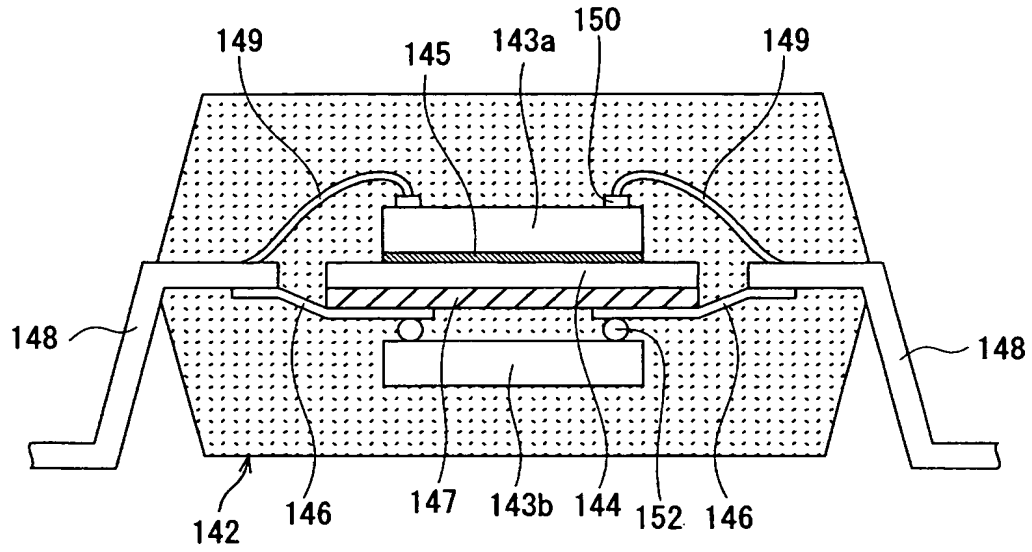
【図 10】



半導体装置の第 4 実施形態



【図 11】



半導体装置の従来例

**【書類名】 要約書****【要約】**

**【課題】** 小さい電極ピッチの半導体素子を搭載するため、リードフレームのインナーリード部の厚みを薄くし、幅を狭くすることで、ピッチを小さくする。半導体素子の電極の配列ピッチが従来よりも小さいものでも、フリップチップ結合により、搭載できるようになり、ワイヤ等の部品点数を減らし、さらに、半導体装置組立時の振動等で、ワイヤの切断などの可能性を減らす。

**【解決手段】** 導体板のファインインナーリード形成予定領域をハーフエッチングして、周辺領域よりも、板厚を薄くする。その後、ファインインナーリード形成予定領域をパターンニングし、ファインインナーリード部 2 2 を形成する。特にファインインナーリード部 2 2 の先端部 2 2 a の幅は、中間インナーリード部 2 3 及びアウターリード部 2 5 の幅よりも狭く形成されている。

**【選択図】 図 5**

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 1 4 5 8 1
受付番号	5 0 3 0 1 4 7 8 1 8 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 9 月 8 日

< 認定情報・付加情報 >

【提出日】	平成15年 9月 5日
-------	-------------

特願 2003-314581

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社